

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Patent Abstracts of Japan

PUBLICATION NUMBER : 06045574
PUBLICATION DATE : 18-02-94

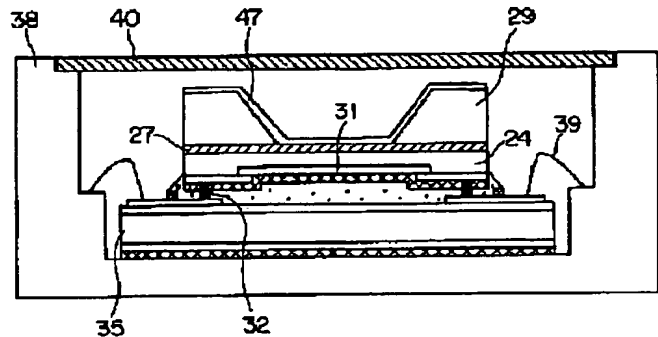
APPLICATION DATE : 22-07-92
APPLICATION NUMBER : 04195594

APPLICANT : HAMAMATSU PHOTONICS KK;

INVENTOR : MURAMATSU MASA HARU;

INT.CL. : H01L 27/14 G01J 1/02 G01J 5/28
H01L 31/09

TITLE : SEMICONDUCTOR ENERGY
DETECTOR



ABSTRACT : PURPOSE: To provide the title semiconductor energy detector having excellent sensitivity to energy line such as short wavelength etc.

CONSTITUTION: An N-type epitaxial layer 24 having a CCD 31 is arranged on a silicon wafer 35. An N⁺ type layer 27 is provided on the N-type epitaxial layer 24. On the other hand, another silicon wafer 29 is provided on the upper side of the N-type epitaxial layer 24. Within the silicon wafer 29, the region only detecting the shortwave length light incoming from a window member 40 of a package 38 is etched away to form an aperture. The title rear surface irradiation type semiconductor energy detector can maintain the accumulated state. Accordingly, the title semiconductor energy detector having the sensitivity to short wavelength light even and stable in the same chip can be provided.

COPYRIGHT: (C)1994,JPO&Japio

FP00-0050-00EP-HP
04. 3. 5
SEARCH REPORT

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-45574

(43) 公開日 平成 6 年 (1994) 2 月 18 日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 27/14				
G 0 1 J 1/02	B	7381-2G		
5/28		8909-2G		
		7210-4M	H 0 1 L 27/14	K
		7210-4M	31/00	A

審査請求 未請求 請求項の数 3 (全 11 頁) 最終頁に続く

(21) 出願番号 特願平4-195594

(22) 出願日 平成 4 年 (1992) 7 月 22 日

(71) 出願人 000236436

浜松ホトニクス株式会社

静岡県浜松市市野町1126番地の1

(72) 発明者 村松 雅治

静岡県浜松市市野町1126番地の1 浜松ホ

トニクス株式会社内

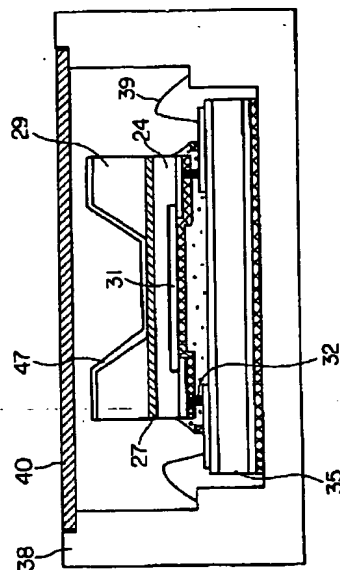
(74) 代理人 弁理士 長谷川 芳樹 (外 3 名)

(54) 【発明の名称】 半導体エネルギー検出器

(57) 【要約】

【目的】 本発明は、短波長光等のエネルギー線に対する感度が良好な半導体エネルギー検出器を提供することを目的とする。

【構成】 シリコンウエファ (35) 上には、CCD (31) を有するN型エピ層 (24) が設置されている。このN型エピ層 (24) にはN⁺ 型層 (27) が設けられている。N型エピ層 (24) の上側にはシリコンウエファ (29) が設けられている。このシリコンウエファ (29) は、パッケージ (38) の窓材 (40) から入射する短波長光を受光する領域のみエッチングにより除去され、開孔を形成している。上述の構造を有する裏面照射型半導体エネルギー検出器ではアキュムレーション状態が維持される。したがって、短波長光に対する感度が同一チップ内で均一に、しかも安定している検出器となる。



【特許請求の範囲】

【請求項1】 N型の半導体薄板の表面に電荷読み出し部が形成され、前記N型の半導体薄板の裏面からエネルギー線が入射される半導体エネルギー検出器において、前記N型の半導体薄板の裏面には、不純物がドーブされてなるN⁻型の高濃度層が形成されていることを特徴とする半導体エネルギー検出器。

【請求項2】 前記電荷読み出し部は、電荷転送素子が複数配列されてなる請求項1記載の半導体エネルギー検出器。

【請求項3】 前記エネルギー線は電子線である請求項1または2記載の半導体エネルギー検出器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、紫外線や放射線、粒子線などの吸収係数が極めて大きいエネルギー線の照射に対して有効な、裏面照射型の電荷転送型半導体エネルギー検出器に関するものである。

【0002】

【従来の技術】電荷転送素子(CCD)は、アナログ電荷群を外からクロックパルスに同期した速度で一方向に順繰りに送るものであり、一端に出力部を設けておけば、空間情報を時系列信号に変換できる極めて巧みな機能デバイスである。しかし、2次元の画像情報を時系列信号として取り出すには、デバイスの構成上工夫が必要である。上述のデバイスに光を照射したまま電荷を転送したのでは、それぞれの場所で光励起された電荷と転送されてきた電荷が混じり合って映像信号が劣化する。これを避けるためには、光を照射している期間(電荷蓄積期間)と電荷を転送する時間(電荷転送期間)とを時間的に分けるいわゆる時分割動作が考えられる。したがって、映像信号が出力される時間は電荷の転送時間内に限られ、間欠的な信号となる。

【0003】一般に実用的な撮像デバイスとしては、フレーム転送(FT)、フル・フレーム転送(FFT)、インターライン転送(IT)構成の三つの方式が代表的なものとして挙げられる。このうち計測用としては、おもにフル・フレーム転送方式が用いられる。

【0004】以下、フル・フレーム転送方式について説明する。図6及び図7はフル・フレーム転送方式の構成を示すものであり、図6はその上面図、図7はその要部の断面図である。図6に示すようにこの方式では、基板に形成されたチャンネルストップ拡散層1によって電荷転送のチャンネルが垂直方向に分割され、水平画素数に対応する画素列を形成する。一方、このチャンネルストップ拡散層1に直交して転送電極群2が配置されている。前述のフレーム転送方式では、この電極群は上下2つにグルーピングされ、上半分を受光用のCCD、下半分を信号電荷を一時蓄積するCCDとして使うが、同図に示すフル・フレーム転送方式CCDでは蓄積部はな

い。したがって、電荷を転送する時間中、即ち読み出し時間中は、シャッタを閉じるなどしてCCDに光が入射しないようにしなければならない。なお、垂直方向の4列の画素列の間には、3本のオーバーフローレイン5が形成されている。

【0005】図7に示すように、一画素はこのようにCCDの一段分を構成するクロックパルス($\phi_1 \sim \phi_4$)の相数(4)に対応する数の電極とチャンネルストップ拡散層1で囲まれた面積となる。垂直転送クロックパルス電極群2は、クロックパルス $\phi_1 \sim \phi_4$ をシリコン電極20に供給する。PSG(リンガラス)による層間絶縁膜19はポリシリコン電極20の上に堆積され、この電極20とシリコン基板22の間にはゲート酸化膜21が介在されている。

【0006】受光領域に光が入射すると、図7に示すように励起された信号電荷が一つの転送電極(蓄積電極)、即ち立ち上がったクロックパルス ϕ_1 が加えられたポリシリコン電極20下のポテンシャル井戸3に集められる。

【0007】光信号を信号電荷に変換する電荷蓄積時間が終わると、受光領域上にある垂直転送電極群2に与えられたクロック電圧 $\phi_1 \sim \phi_4$ が順次立ち上がり、信号電荷の読み出しが開始される。しかしフル・フレーム転送CCDにおいては、前述したFT-CCDのような受光部とは別のいわゆる蓄積部というものが無い。このため、信号読み出しを開始する前にシャッタを閉じるなどして光信号の入力を遮断しなければ、転送している途中の信号に新たに光信号が混入してくることになり、信号純度が低下する。但し、単発現象を捕らえる場合には、信号電荷の転送中に新たな光入力は無いと考えられるから、シャッタ等は必要ない。

【0008】ここで、図6を用いて信号読み出し動作について説明をする。信号電荷は垂直転送用クロックパルス電極群2によって与えられるパルス $\phi_1 \sim \phi_4$ によって1行ずつ下方に送られ、水平読み出しレジスタ6を通して出力端に転送される。すなわち同図において、まず一番下の行にある信号電荷が同時に水平読み出しレジスタ6に送り込まれ、水平方向に高い周波数のクロック ϕ_5 、 ϕ_6 で転送され、時系列信号として出力端から読み出される。なお、水平転送クロック ϕ_5 、 ϕ_6 は水平転送用クロックパルス電極群7から加えられる。このときすでに次の信号電荷が一段下方に移動しているので、次の垂直転送クロックパルスで水平読み出しレジスタ6に入り、出力端に読み出される。このようにして1画面分の信号電荷がすべて水平読み出しレジスタを通して読み出されると、シャッタを開き新たな信号蓄積動作を開始する。以上のように、水平読み出しレジスタ6は垂直レジスタに比べて高速で動作するので、2相クロックパルス ϕ_5 、 ϕ_6 として高速転送を可能にしている。

【0009】ここで、図8(a)にCCDにオンチップ

3

された読み出し回路の例を、同図(b)に印加クロックパルスと出力波形の例を示す。パルスの基準点は0Vで、+12Vの振幅である。クロック ϕ_s 、 ϕ_r が与えられた電極下の領域17、18は水平レジスタ6の最終部を表している。なお、基板22には+12V_{DC}、アウトプットゲート(OG)13には+7V_{DC}、リセットドレイン(RD)16には+12V_{DC}が加えられている。また、増幅用のMOSFETのドレイン8には15V_{DC}、ソース9は負荷抵抗を介して接地されている。したがって、このMOSFETはソースフォロワ回路として動作している。以下、同図(b)を用いて動作を説明する。

【0010】水平レジスタ6によって信号電荷が次々と読み出し回路に転送されてくると仮定する。今時刻 t_1 において、クロックパルス ϕ_s はハイレベルになっているので、クロック ϕ_s が加えられた電極7の下領域17にポテンシャル井戸が形成されていて、信号電荷は領域17に転送されている。次に時刻 t_2 で ϕ_s がローレベル、 ϕ_r がハイレベルになるので、クロック ϕ_r が加えられた電極7下の領域17におけるポテンシャル井戸は消え、クロック ϕ_r が加えられた電極7下の領域18にポテンシャル井戸が形成される。したがって、前述の信号電荷は領域18に転送される。時刻 t_3 においてはリセットゲート(RG)15にパルスが加えられるので、フローティングディフュージョン(FD)14の電位はRD16の電位である12Vにリセットされる。時刻 t_4 では、FD14にまだ信号電荷は転送されてきていないので、電位はリセット値を維持している。時刻 t_5 においては、クロックパルス ϕ_r がローレベルになるので、水平レジスタ6の最終部の領域18に存在した信号電荷はOG13に加えられた低いDCバイアスによって形成されている低いポテンシャル障壁を乗り越え、FD14に至り、その電位を変化させる。図8(b)の出力電圧の例でもわかるように、電子が流れ込んでくるので、クロック ϕ_r がローレベルになると出力は下に向かって伸びる。FD14は、配線によってソースフォロワ回路(MOSFET)のゲートにつながれており、そのソースからはゲートに入力されたのと同じ大きさの出力を低インピーダンスで得ることができる。

【0011】このようにフル・フレーム転送方式の特徴は、蓄積部がなく受光部の面積が大きくとれるので光の利用率高く、したがって計測用など微弱光の用途に広く用いられる。反面、入射光が転送電極で吸収されるので、吸収係数が大きい入力、例えば波長が短い青色の光に対する感度低下が著しい。先に述べたように、図7は典型的な受光部を示すものであるが、ポリシリコン電極20が隙間なく表面を覆い、またそれぞれの電極の分離のため、厚さ数ミクロンにも及ぶPSG膜19が重ねられている。特にポリシリコンは、400nm以下の波長の光や低エネルギーの電子線などを吸収してしまうの

4

で、これらは光電変換に寄与することができない。

【0012】このような光検出器に関しては、基板22を15 μ mから20 μ m程度に薄くして、図9に示すように光を裏面から照射するようにしたものがある。基板22の表面はゲート酸化膜21を挟んで設けられて、ポリシリコン電極20が隙間無く覆い、短波長光を吸収してしまうが、基板22の裏面には薄い酸化膜23の他に障害物はなく、短波長光に対して高感度が期待できる。この裏面照射型CCDは200nm程度の短波長光まで感度があり、さらに、電子衝撃型CCD撮像デバイスにも応用される。このデバイスは電子衝撃により生じる信号電荷の増倍作用を利用できるので、高感度撮像デバイスとして期待される。

【0013】ここで、裏面照射型CCDの製造プロセスの代表例を説明する。まず、ウエファとしてP/P⁺型エピウエファを用いる。このエピ層の比抵抗及び厚さは、それぞれ30 Ω -cm、30 μ mであり、サブのエピ層の比抵抗及び厚さは、それぞれ0.01 Ω -cm、500 μ mである。このエピウエファに対し、予めアルミニウム(A1)配線まで含めたすべてのCCD製造プロセスを終了させる。後の工程で、受光部シリコンを薄形化後にA1配線を施すことも当然考えられるが、薄形化した膜の部分に写真食刻法を用いるのは困難であり、また、A1配線プロセス中に薄形化した部分が割れるなどのおそれがある。このため、歩留まりを低くしないために、薄形化する前にできる限り多くのプロセスを終了しておく必要がある。

【0014】次に、ウエファ裏面についているシリコン窒化膜及びシリコン酸化膜を除去する。その後、クロームと金が積層されてなるクローム/金層を堆積する。そして、受光面に相当する部分、即ち薄形化したい裏面入射面に相当する領域のみ、上述のクローム/金層を除去する。上記エピウエファをチップに分割後、ホルダにワックスで取り付ける。

【0015】その後、HF:HNO₃:CH₃COOH=1:3:8の割合のエッチング液を用い、チップの周辺部を厚く残したまま裏面からシリコン基板をエッチングする。このエッチング液は硝酸リッチであるため、弗酸による溶解律速でエッチングが進む。溶解律速のため液の攪拌を十分に行い、常に新しいエッチャントをエッチング面に接触させないと、膜厚が著しく不均一になる。

【0016】ここで、溶解律速のエッチャントが広く使用されている理由を説明する。もし弗酸リッチならば、酸化律速でエッチングが進む。使用ウエファがP/P⁺型なので、P⁺層のみを選択的にエッチングすれば膜厚の絶対値及び面内の均一性において優れたものが製作でき、短波長感度の再現性及び均一性のコントロールが非常に易い。酸化律速のエッチング液はP⁺層の酸化速度が速いので、膜厚の均一性及び再現性が優れたものを作

り得る可能性がある。

【0017】しかし現実には、 P^+ 層の中には多数の結晶欠陥があり、結晶欠陥は P^+ 層より更に酸化速度が速いのでエッチングも速く行われることになり、結局エッチングの途中にあった全ての結晶欠陥がエッチング面の膜厚を不均一にさせ、受光面を曇らせる結果になる。この為、酸化律速のエッチャントは使用できず、膜厚のコントロールは行いにくい溶解律速のエッチャントを使用せざるを得ないことになる。また、エッチャントとしてアルカリ系のものを使用した場合、膜厚の均一性のコントロールのし易さにおいて優れるが、アルカリ金属によってCCDのようなMOSデバイスのゲート酸化膜が汚染され、しきい値電圧等を設計値と違ったものとして動作不良を引き起こす。したがって、従来プロセスにおいてはアルカリ系のエッチャントを使用することを避けてきた。

【0018】上述の方法に従いエッチングが終了したら、膜厚の測定を行う。この結果、膜厚が所望の値として不十分である場合は、再度エッチングを行う。十分な膜厚が得られたら、上述のウエファを120℃の蒸気中

で48時間、裏面酸化を行う。

【0019】この後、裏面酸化膜に負イオンを照射する、いわゆる裏面アキュムレーションを行う。短波長に対する感度を上げるためには裏面シリコンをアキュムレーション状態にし、光電子が効率よくCCDのポテンシャル井戸に到達できる構造とする必要があるからである。

【0020】ここで、裏面アキュムレーションの重要性について説明する。前述したように裏面照射型CCDは、CCDの裏面に光の入射面となる。通常CCDを形成するシリコンウエファの厚さは数百ミクロンである。また、200nmから300nmの光は吸収係数が非常に大きく、そのほとんどが表面からわずかに入ったところで吸収されてしまう。したがって、数百ミクロンの厚さを有するCCDをそのまま裏面照射型として使用しても、裏面で発生した光電子は表面にあるCCDのポテンシャル井戸に拡散していくことができず、ほとんどは再結合して失われてしまう。また、そのうちのいくらかはポテンシャル井戸まで到達できたとしても、長い道のりを拡散してくる間に信号同士が混じり合い、いわゆる解像度を著しく低下させる。したがって裏面照射型CCDでは、受光面である裏面をエッチング、あるいは研磨によって薄くし、発生した電子が最短距離で表面のポテンシャル井戸に到達できるようにしなければならない。

【0021】図9に示すような、代表的なシリコンによる検出素子の厚さは15~20μmである。ここで酸化膜23は、厚さ数十オングストロームから数百オングストロームである。

【0022】図10は、図9において薄形化したシリコン検出素子について、受光面から表面のCCDに至るま

での断面のポテンシャルプロファイルを示したものである。図面に向かって左側が裏面、右側が表面を表している。なお、基板22はP型である。基板22の裏面には、保護膜であるシリコン酸化膜23が成長されている。

【0023】しかしシリコン酸化膜23には酸化膜電荷や界面準位が必ず存在し、これらはいずれもP型シリコン基板22の表面を空乏化させるように働く。即ちポテンシャルプロファイルでみれば、図10中の実線で示したように裏面のシリコン酸化膜23に近付くにしたがって電子に対するポテンシャルが低くなり、即ち裏面から浅いところで生じた光電子はCCDのポテンシャル井戸に到達することができず、裏面シリコン酸化膜23とシリコンの界面に押しやられ、再結合するのを待つ運命となる。したがって、受光部を薄形化し裏面を酸化後、負に帯電したイオンを照射することによりシリコン酸化膜23をチャージし、それによってシリコン表面をアキュムレーション状態にし、図10中の点線に示したようなポテンシャルプロファイルを作る。これにより、裏面の浅いところで生じた光電子も効率よくCCDのポテンシャル井戸に到達することができる。

【0024】なお、一般的にアキュムレーションを行う際には、P型シリコン基板に対してボロンをイオン注入すればよいが、イオン注入層はアモルファス状となり、その後の熱処理で再結晶化とイオン注入したボロン原子の活性化を行わなくてはならない。通常この熱処理(アニール)は600℃付近と1000℃付近の熱処理を連続して行う、いわゆる2ステップアニールを行う必要がある。アニールが不足すれば、少数キャリアの寿命が短いままで、短波長感度を上げることはできないからである。しかし前述したように、歩留まりを低下させないため既にA1配線が施されているので、A1の溶解温度以上の高温のアニールを行うことができない。したがってボロンのイオン注入による裏面シリコンのアキュムレーションはできない。このため、実際には前述したように、酸化膜に負イオンを照射するというような、消極的なアキュムレーション方法を採用している。

【0025】最後に、上述の操作を経たウエファをパッケージ内に実装する。CCDを冷却してリーク電流やrmsノイズを下げることは、微弱光を計測する上で重要な技術である。したがって、この工程においては、薄形化したシリコン基板の表面、即ちCCDが形成してある面を熱抵抗が小さい非導電性の樹脂などを介して、パッケージに接着する。

【0026】

【発明が解決しようとする課題】しかし上述のアキュムレーションは、その効果の持続性に問題がある。このため、吸収係数が大きい短波長光に対する感度を向上させるためにこの様な作業を施したにも関わらず、逆に入射光のエネルギーで裏面酸化膜についた負イオンが除

去、中和されやすくなる。即ち、アキュムレーションされていた状態が再び空乏状態となり、短波長光に対する感度が失われてしまうという問題がある。

【0027】さらにここで、イオン注入によりアキュムレーションを行う場合について考えてみる。この場合、理想的なアニールを行うためにはA1配線前に薄形成し、ボロン原子を受光面にイオン注入してからアニールを行わなければいけない。

【0028】アニールは、前述したように600℃付近と1000℃付近の熱処理を連続して行う、いわゆる2ステップアニールが望ましい。しかし熱処理時のできるだけ速い段階で酸化膜を形成し、イオン注入したボロン原子のアウトディフュージョンを避けなければ、表面のボロン濃度が低くなり、意図したポテンシャルプロファイルを形成できない。しかし例えば酸化膜を形成したとしても、ボロン原子は酸化膜中にたいへん取り込まれやすく、いわゆる不純物原子の再分布現象が発生する。このため、結局酸化膜をつけてもつけなくても、表面のボロン濃度は少し深いところのボロン濃度より低くなり、意図したポテンシャルプロファイルは形成できない。

【0029】以上のようにP型ウエファを用いた場合、受光面にボロンをイオン注入してアニールすることによりアキュムレーション状態を作ろうとしても、表面付近では理想の状態と逆のポテンシャルプロファイルが形成されてしまう。このため、信号電荷である電子にとっては内部より表面のほうが安定であり、浅いところで生じた信号電荷は表面に集められて、シリコンと酸化膜の界面で再結合される。したがって、当然短波長感度の向上は期待されるよりも低い値となる。

【0030】この他、上述の検出器を製造するプロセスにおいても多少の問題点を有している。例えば、基板のエッチングには溶解律連のエッチャントを用いるため、エッチング液の攪拌を十分にを行い、常に新しいエッチャントをエッチング面に供給しないと膜厚が著しく不均一になる。しかしどんなに攪拌を行っても、エッチング部分とエッチングしない部分の境界部には、エッチャントの回り込みなどにより段差が生じ、ある程度の膜厚の不均一は避けられない。

【0031】実装工程においては、薄形成した厚さ15μmから20μmのシリコンにダイボンド樹脂を付けて硬化させた場合、樹脂の硬化時に圧縮応力が生じ、薄膜部にその力が集中して波打った状態になり、ひび割れなどの破損に至ることがある。

【0032】以上述べたように、従来の裏面照射型CCDはその構成を得るプロセスをも含めて問題点を有している。即ち、基板を薄形成後にアルミニウム配線を行う場合は、裏面のアキュムレーション用処理の自由度が大きくなり、ボロン原子のイオン注入後、2ステップアニールを行うことができる。しかし酸化膜なしでアニールした場合はボロン原子のアウトディフュージョンによ

って、また酸化膜を付けてアニールを行った場合はボロン原子が大量に酸化膜中に取り込まれてしまうことによって、結局どちらにしても表面濃度が下がりP型ウエファの表面をアキュムレーションするのが非常に困難になる。さらに、アルミニウム配線時の写真食刻法が困難であると共に、ダイボンド樹脂硬化時に薄膜部が破損する可能性が高く、歩留まりを低下させる。

【0033】一方、アルミニウム配線後に薄形成を行う場合、薄形成後は組み立てを行うのみなので、プロセス中に薄膜部を破損する確率は小さくなる。しかし、裏面アキュムレーションが困難である。また、ダイボンド樹脂の硬化時に、薄膜部が破損する可能性がある。

【0034】また上述のようにA1配線前に薄膜化する場合、あるいはA1配線後に薄膜化する場合の双方とも、CCD部の保護がなされていないために膜厚の均一性、コントロール性に優れたアルカリ系エッチャントを用いることができない。

【0035】以上に示したように、従来の裏面照射型CCD製造プロセスは問題が多く、前述したどちらを用いたとしても、満足できる特性をもつ裏面照射型エネルギー検出器を製造することは非常に困難である。

【0036】そこで本発明は、上記の問題点を解決した半導体エネルギー検出器を提供することを目的とする。

【0037】

【課題を解決するための手段】本発明は、N型の半導体薄板の表面に電荷読み出し部が形成され、N型の半導体薄板の裏面からエネルギー線が入射される半導体エネルギー検出器において、N型の半導体薄板の裏面には、不純物がドーピングされてなるN⁺型の高濃度層が形成されていることを特徴とする。

【0038】前述の電荷読み出し部は、電荷転送素子が複数配列されてなるものであることが可能である。さらに、エネルギー線は電子線であってもよい。

【0039】

【作用】本発明によれば、N⁺型の不純物がドーピングされてなる高濃度層がN型の半導体薄板の裏面に設けられている。このため、P型の半導体薄板に負イオンを照射するアキュムレーションの場合のように、短波長光等のエネルギー線の照射で裏面酸化膜についた負イオンが除去・中和されて空乏状態が生じるということがない。しかも、そのN⁺層の存在によってアキュムレーション効果が持続し、不純物の活性化や結晶の無欠陥化が十分に行われ、エネルギー線に対する感度が向上した半導体エネルギー検出器を得ることができる。

【0040】

【実施例】以下、本発明の実施例について図を用いて説明する。

【0041】図1は、実施例に係る半導体エネルギー検出器の断面構造を示すものである。

【0042】同図に示すように、パッケージ38内の底

部に固定されているシリコンウエファ35上には、そのシリコンウエファ35に対向する面にCCD31を有するN型シリコン基板としてのN型エピ層24が、金属パンプ32を介して設置されている。このN型エピ層24には、シリコンウエファ35に対向していない面にN⁺型層27が設けられている。N型エピ層24は、さらにその上側にサブウエファとしてのシリコンウエファ29を有している。このシリコンウエファ29は、パッケージ38の上部に設けられている窓材40から入射する短波長光を受光する領域のみ、エッチングにより除去され開孔を形成する構造となっている。なお、短波長光が入射する側、即ちCCD31が形成されているエピ層24の裏面には、全面に酸化膜47が形成されている。

【0043】上述の裏面照射型の半導体エネルギー検出器では、エピ層24の受光面にN⁺層27が設けられ、これによりアキュムレーション状態が維持されている。したがって、短波長光に対する感度が同一チップ内で均一に、しかも安定している検出器となる。特に、本発明ではN型半導体基板(N型エピ層24)の受光面にアキュムレーション用のN⁺層27を設けているので、電子管内に封入して電子照射したときの感度劣化が少ない。これに対し、P型半導体基板の受光面にアキュムレーション用のP⁺層を設けたときは、高速動作は得られるが電子照射型としたときの感度劣化が大きい。また、受光面にボロンを注入してP⁺型とし、アキュムレーション状態を形成しようとしても、表面では逆のポテンシャルプロファイルとなり、意図したプロファイルは得られにくい。

【0044】次に、上述の実施例に係る半導体エネルギー検出器の製造方法について図を用いて説明する。

【0045】図2(a)は、N型のエピタキシャル層(以下、エピ層という)のサブストレイトになるシリコンウエファ29の第1の表面に、そのシリコンウエファ29のバルク部分と同じ導電タイプのN⁻型高不純物層27を形成した状態を示す。N⁺型不純物層27を形成するための不純物は、燐、ヒ素、アンチモンなどであるが、ヒ素やアンチモン等拡散しにくい原子を用いた方が意図したポテンシャルプロファイルを作るのに都合がよい。

【0046】なお、N⁻型不純物層27の不純物濃度は、受光面エッチング直前までのプロセスが終了した段階で、後の工程で形成するエピ層の不純物濃度より一桁以上高濃度であることが望ましい。但し、余りに高濃度では少数キャリアの寿命が短くなってしまうので、 $5 \times 10^{16} \text{ cm}^{-3}$ から $1 \times 10^{20} \text{ cm}^{-3}$ が望ましい。ここで、サブストレイトとなるシリコンウエファ29の比抵抗及び膜厚は、それぞれ $10 \Omega \cdot \text{cm}$ 、 $500 \mu\text{m}$ であるが、N⁻型不純物層27と同じ比抵抗でもよい。さらに、シリコンウエファの面方位は $\langle 100 \rangle$ である。

【0047】次に、エピタキシャル成長を行う。同図

(b)は、同図(a)のシリコンウエファ29の第1の表面にエピ層24を形成した状態を示している。エピ層24の比抵抗及び膜厚は、それぞれ $10 \Omega \cdot \text{cm}$ 、 $15 \mu\text{m}$ である。このエピ層24の比抵抗は、CCDの性能だけを考慮して決めてよい。

【0048】次に、図2(b)のエピ層24の表面側を加工する。同図(c)は、エピ層24の上面にCCD31を形成し、さらに金属配線30を施した状態を示している。

【0049】次に、同図(c)までの工程を終了したシリコンウエファ29の表面と裏面の全面に、シリコン窒化膜33を堆積する。その後、CCD31が形成されている面上であって金属パンプ32を成長させたい領域のシリコン窒化膜33を除去する。また、CCD31が形成された面と反対の面では、薄形化したい部分のシリコン窒化膜33を除去する。

【0050】ここで金属パンプ32の形成方法として、半田パンプを超音波法にて形成する例を示す。

【0051】図3は、超音波半田付け装置の概略図である。半田槽45内を満たす半田43は、半田槽45の内部に設置されている攪拌子44によって噴流されている。この半田槽45の上部には、噴流している半田43の中にCCDウエファ41が垂直に配置され、半田槽45の外部からそのCCDウエファ41の垂直面に対向するように、超音波振動子42が置かれている。この装置では、超音波振動子42に対向するCCDウエファ41の面に、常に新鮮な半田が送られており、また、半田槽45にN₂を流入させることによって半田の酸化を防いでいる。

【0052】次に、上述の装置を用いた超音波半田付けのメカニズムを説明する。まず、超音波の作用で半田43中にキャビティが生じ、このキャビティがCCDウエファ41の表面で圧潰すると、ウエファ41に形成されているA1電極上の自然酸化膜が破壊される。この自然酸化膜が取り除かれると、形成されているA1電極との間で共晶反応が起こり、パンプが形成される。パッシベーション膜など金属でない部分には共晶反応は起こらないため、半田の付着はない。したがって、シリコン窒化膜33が形成されている部分には半田の成長はなく、またCCD31が形成されている側と反対の面は、一部シリコン窒化膜33は無いがそこには薄い自然酸化膜がついたシリコンウエファ29が存在するため、やはり半田の成長はない。

【0053】図2(d)に示される半田パンプ32は、上述の方法によって形成されたものである。超音波法では、 $100 \mu\text{m}$ 平方のA1パターンに対して、数十ミクロンの高さのパンプが形成されるが、下地のA1の膜厚が厚いほど、形成されるパンプの高さも高くなるのでその調整が可能である。また、パンプの形成法としては他に蒸着法やメッキ法もあり、それらの方法によ

11

ても形成されるパンプの高さを変えることができる。

【0054】ここまでのプロセスは、全てウエファの形で行われるので、トータルでみた労力は多くはない。

【0055】最後に、ダイシングなどによって個々のチップに分割される。これにより、図2(d)の状態となる。

【0056】以上の手順とは別に、サブストレイトを用意する。図4(a)は、CCDチップをサポートするためのサブストレイトを示したものであり、シリコンウエファか、あるいはCCDチップと熱膨脹係数が等しい硝子が好ましい。ここでは、サブストレイトとしてシリコンウエファ35を用いたときについて説明する。まず、シリコンウエファ35を酸化して適当な厚さの酸化膜37を形成し、A1等の金属配線34を施す。この金属配線34は、CCDチップ上に形成した金属パンプ32とパッケージの電極を間接的に結ぶものである。その後、シリコンのエッチャントに触れる部分をガードするためシリコン窒化膜36を両面に堆積し、後の工程でCCDチップがシリコンウエファ35に突き合わされる領域を、エッチングにより除去する。しかる後、図2(d)及び図4(a)に示すものを一体にする。

【0057】図4(b)は、前述の金属パンプ32を形成したCCDチップと金属配線34を施したシリコンウエファ35をパンプボンディングした状態を示している。図示されるように、CCD31が形成されている側が突き合わせ面となっている。また、同図においてはその突き合わせ面に、後に使用されるシリコンのエッチャントが入り込まないように樹脂50を充填する。この樹脂50は、例えば日本化薬株式会社製 カヤトロンML-230Pである。樹脂50の硬化は熱処理によって行う。前述したように、ほとんどの樹脂は硬化時に圧縮応力を生じるが、CCD受光部はまだ薄形化する前なので、圧縮応力はCCDチップ全体に分散され、薄形化後に受光面にひびが入ったり割れたりすることはない。なお、樹脂50に必要な特徴は、非導電性であること、後のプロセスで使用するエッチャントに耐えること、アルカリ金属等を含まないこと、硬化時に適当な収縮応力が働きパンプボンディング部のコンタクトを良好に保つこと、ダイボンドやワイヤボンド時の150℃程度の熱に耐えることである。

【0058】次に、シリコンウエファ29のエッチングを行う。図4(c)は、同図(b)で形成したものをエッチャントに浸し、受光面にあたる部分のシリコンウエファ29をエッチングして、薄形化した状態を示している。エッチャントの組成は、8規定KOH:H₂O:イソプロピルアルコール=950ml:1150ml:700mlなどのアルカリ系エッチャントである。エッチングは、最初に形成したN⁺型層27を残した状態で止めることが重要である。エッチャントの組成と温度が一定ならばエッチングレートは変わらず、したがって、2

12

～3回エッチング途中で膜厚を測定すれば、意図したところでエッチングを終了できる。

【0059】本実施例ではエッチャントを78℃に加熱し、シリコンウエファ35にパンプボンディングされたCCDチップを自公転するように回転させ、エッチング面に発生する泡を取り除く。泡の除去が不十分な場合、エッチング面の荒れや膜厚の不均一が生じる可能性があるからである。エッチングレートは、およそ0.6μm/分が得られる。

【0060】弗硝酸系の酸エッチャントの場合、結晶欠陥によって受光面を曇らせないために、弗酸の量を少なくした溶解律速のエッチングが用いられるが、溶解律速のエッチャントは膜厚が不均一になり易い。しかしアルカリ系エッチャントでは、異方性エッチングが可能であるため膜厚は均一になる。

【0061】本実施例のCCDはMOS系のデバイスであるから、当然面方位<100>のシリコンウエファが使用される。アルカリ系エッチャントは、例えばKOHを含む場合<111>面のエッチング速度が<110>面や<100>に比べて数百倍遅く、したがって泡などがエッチング面につかないようにさえしておけば、<100>面に沿ってエッチングが進むので、膜厚は均一になる。

【0062】シリコンエッチング終了後、表面のシリコン窒化膜33を除去する。その後、同図(d)に示すように、120℃で48時間程度、ウェット雰囲気中で受光面にシリコン酸化膜47を成長させる。燐やヒ素は酸化膜中に取り込まれにくい原子であり、酸化することによってさらにシリコン表面はN⁺型になり、ポテンシャルプロファイルはより理想的なものに近づく。

【0063】シリコン酸化膜47成長後、シリコンウエファ35の電極34上に堆積されているシリコン窒化膜36を除去し、金属配線34を表面に出す。シリコン酸化膜成長後に窒化シリコン膜36を除去するのは、電極34を構成する金属の酸化防止のためである。

【0064】先に裏面受光面のアキュムレーションの重要性について述べたが、図2(a)において表面をN⁺型にしておいたことが、図4(d)において受光面をアキュムレーション状態にするのに役立っている。即ちこの構造では、新たにアキュムレーション状態を作るプロセスは必要ない。光電荷に対するポテンシャルプロファイルは、裏面の受光面から表面のCCDに向かって低くなるように形成されているから、受光面付近で生じた正孔も効率よく反対面のCCDのポテンシャル井戸に到達することができる。即ち短波長光に対する感度を高く、また安定にできる。さらに図2(a)で示したように、プロセスの極初期の段階でN⁺型とするので、拡散、イオン注入どちらを用いるにしても熱処理の自由度は大きく、活性化が十分で、結晶欠陥が少ないアキュムレーション状態とすることができる。

13

【0065】図5は、上述の方法により形成された裏面照射型CCDをセラミック等のパッケージ38に組み込み、シリコンウエファ35とパッケージ38間をボンディング39によって接続した状態を示す。なお、X線検出や素粒子検出などの場合は、窓材40は不要である。

【0066】上述の実施例では、CCDチップの裏面のシリコンをエッチングするのにKOHなどアルカリ金属を含むエッチャントを使用した例を示した。通常CCDなどのMOS系のデバイスは、非常に高い酸化膜の清浄度を必要とするので、 Na^+ 、 K^+ 等のアルカリイオンを極度に嫌う。しかしここに示した例では、エッチングを開始するときには既にCCDチップは樹脂50で保護されていてエッチャントに触れることはない。またその後樹脂層35、サブストレイト31はCCDから離されることはなく、結局CCDチップが形成された面は二度と外部に触れることはなく、このプロセスにおいてはアルカリ系エッチャントを使用してもCCD部は清浄さが保たれ、動作を確実なものとしている。

【0067】

【発明の効果】以上詳細に説明したように、本発明の半導体エネルギー検出器によれば、 N^+ 型の不純物が注入されてなる高濃度層がN型の半導体基板の裏面に設けられている。この高濃度層は、短波長光等のエネルギー線の照射に対して安定であり、エネルギー吸収によって空乏状態が生じるということがない。したがってアキュムレーション効果が持続して不純物の活性化や結晶の無

14

欠陥化が十分に行われ、エネルギー線に対する感度が向上した半導体エネルギー検出器を得ることができる。

【図面の簡単な説明】

【図1】本発明に係る実施例の断面構造を示す概略図である。

【図2】本発明に係る半導体エネルギー検出器の製造工程図である。

【図3】金属バンプを形成するための装置を示す図である。

10 【図4】本発明に係る半導体エネルギー検出器の製造工程図である。

【図5】本発明に係る半導体エネルギー検出器の製造工程図である。

【図6】フル・フレーム転送方式の構成を示す上面図である。

【図7】フル・フレーム転送方式の要部を示す断面図である。

【図8】読み出し回路図とクロックパルス出力波形を示す図である。

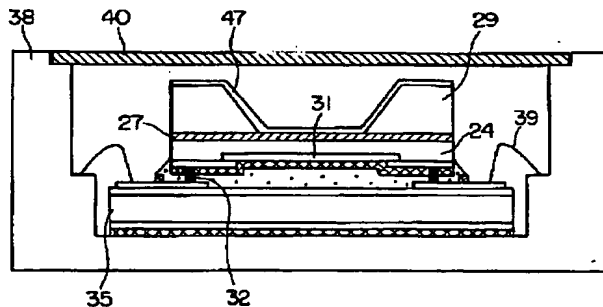
20 【図9】従来の裏面照射型検出器を示す図である。

【図10】従来の裏面照射型検出器のポテンシャル剖面図を示す図である。

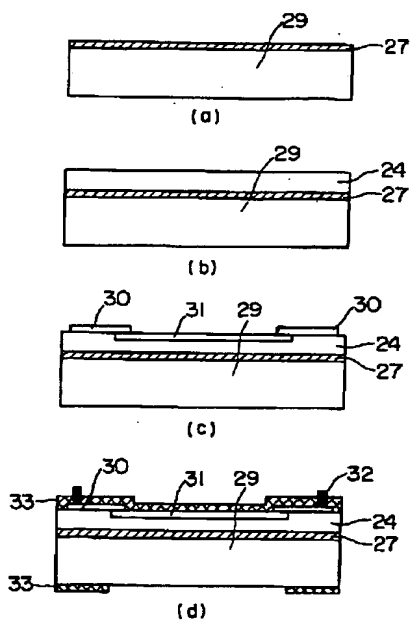
【符号の説明】

24…N型エピ層、27… N^+ 型層、29、35…シリコンウエファ、31…CCD、32…金属バンプ、38…パッケージ、40…窓材、47…シリコン酸化膜。

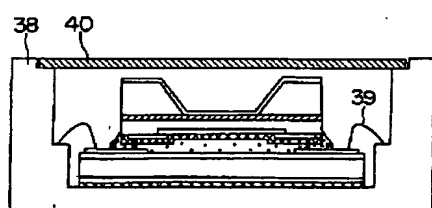
【図1】



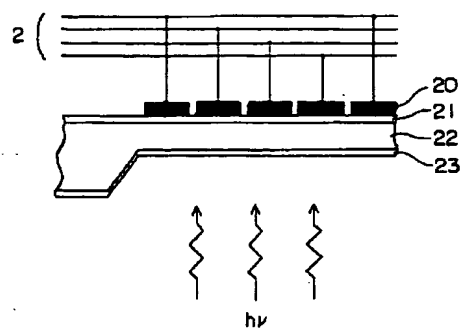
【図2】



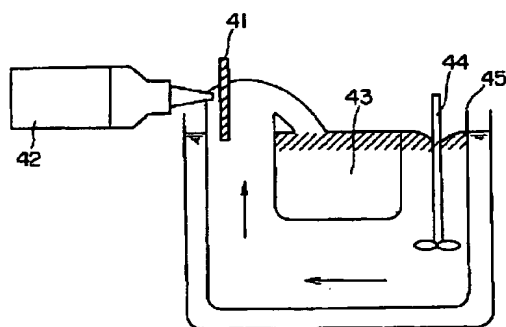
【図5】



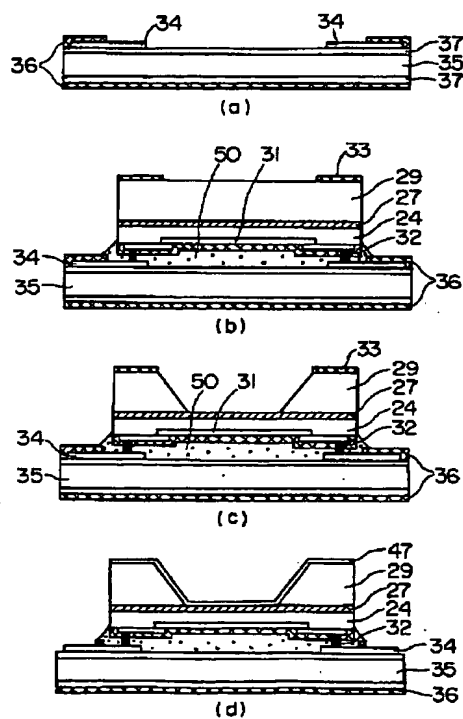
【図9】



【図3】



【図4】



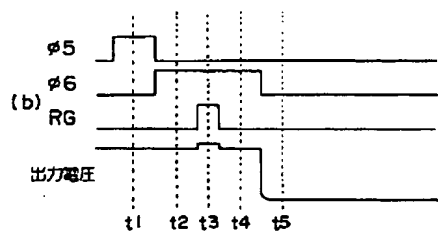
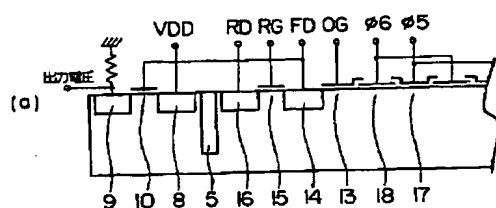
特開平6-45574

A schematic diagram of a vacuum tube circuit. The central component is a vacuum tube with three vertical internal structures labeled 1, 2, and 3. These are connected to various pins at the top, labeled 4, 5, and 6. A grid or control electrode is labeled 7. The base of the tube has several pins labeled 8 through 12. Pin 8 is labeled "ドレイン" (Drain). Pin 9 is labeled "出力電圧" (Output Voltage). Pin 10 is labeled "ソース" (Source). Pin 11 is labeled "10". Pin 12 is connected to a resistor symbol. To the right of the tube, there are four output terminals labeled 13, 14, 15, and 16. Terminal 13 is labeled "OG". Terminals 14, 15, and 16 are labeled "(FD)", "(RG)", and "(RD)" respectively. There are also two shaded rectangular components connected to the base pins, one near pin 10 and another near pin 11.

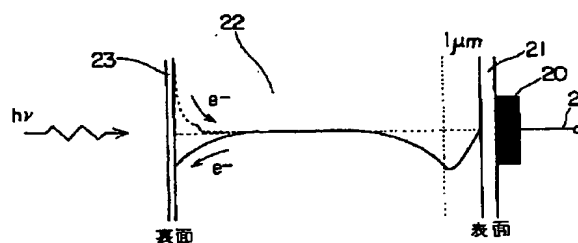
(11)

特開平6-45574

【図8】



【図10】



フロントページの続き

(51) Int. Cl.⁵

H01L 31/09

識別記号

庁内整理番号

F I

技術表示箇所